

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03252543 **Image available**

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 02-228043 **[JP 2228043 A]**

PUBLISHED: September 11, 1990 (19900911)

INVENTOR(s): AOYAMA TAKASHI

 KO CHIYUUKOU

 ADACHI HIDEMI

 KOIKE YOSHIHIKO

 KONISHI NOBUTAKE

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 01-048120 [JP 8948120]

FILED: February 28, 1989 (19890228)

INTL CLASS: [5] H01L-021/336; H01L-021/20; H01L-021/263; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R096 (ELECTRONIC MATERIALS
-- Glass Conductors)

JOURNAL: Section: E, Section No. 1006, Vol. 14, No. 537, Pg. 71 November 27, 1990
(19901127)

ABSTRACT

PURPOSE: To prevent cloudiness from developing on an image plane by using a substrate, as a transparent insulating substrate, holding a high absorption coefficient with respect to an energy beam which is applied in order to activate impurities in source/drain regions.

CONSTITUTION: Once a substrate holding a high absorption coefficient with respect to an energy beam 11 which is irradiated is used as a transparent insulating substrate, the energy beam 11 is absorbed gradually in the direction of the thickness of a glass substrate 1-1 and is attenuated. When its beam reaches a silicon film 3-2 at the rear, the intensity of beam becomes 50-80% of an initial energy beam 11. Therefore, the temperature rise of the silicon film 3-2 at the rear is suppressed. Then occurrences of irregularities of the glass substrate 1-1 is, prevented through irradiation of a laser beam that is performed to activate source/drain regions 4 and 5 as well as the gate electrode 8 of a TFT. The display device having a high picture quality which prevents cloudiness from developing on an image plane is thus obtained.

DIALOG(R)File 352:Derwent

(c) 2000 Derwent Info Ltd. All rts. reserv.

008430695 **Image available**

WPI Acc No: 1990-317696/199042

**Prodn. of semiconductor device - by arranging thin film semiconductor
device on transparent insulative substrate and irradiating energy beam**

NoAbstract Dwg 1/4

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2228043	A	19900911	JP 8948120	A	19890228	199042 B

Priority Applications (No Type Date): JP 8948120 A 19890228

Title Terms: PRODUCE; SEMICONDUCTOR; DEVICE; ARRANGE; THIN; FILM;

SEMICONDUCTOR; DEVICE; TRANSPARENT; INSULATE; SUBSTRATE;
IRRADIATE;ENERGY; BEAM; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/33

File Segment: CPI; EPI

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月11日

H 01 L 21/336
21/20

7739-5F
8624-5F

H 01 L 29/78

3 1 1 Z※

審査請求 未請求 請求項の数 6 (全8頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 平1-48120

⑰ 出 願 平1(1989)2月28日

⑱ 発 明 者 青 山 隆 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑱ 発 明 者 胡 中 行 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑱ 発 明 者 安 達 英 美 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑱ 発 明 者 小 池 義 彦 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人 弁理士 平木 道人
最終頁に続く

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 透明絶縁性基板上に、多結晶シリコン膜を能
動層とする多数の薄膜半導体装置を隣接配置する
と共に、この薄膜半導体装置のソース/ドレイン
領域およびゲート電極内にドーブされた不純物に
エネルギービームを照射してその活性化を図る液晶
表示装置用の半導体装置の製造方法において、

透明絶縁性基板の、少なくとも薄膜半導体装置
が形成されない側に、エネルギービームに対する吸
収係数が低く、熱伝導性を有する下地膜を形成す
る工程と、

前記下地膜が形成された透明絶縁性基板の両面
に多結晶シリコン膜を形成する工程と、

薄膜半導体装置が形成される側の多結晶シリ
コン膜を島切りして、多数の島状多結晶シリコン膜
を形成する工程と、

該島状多結晶シリコン膜を能動層とする薄膜半

導体装置を形成する工程と、

該薄膜半導体装置のソース/ドレイン領域およ
びゲート電極に不純物をドーブすると共に、該不
純物にエネルギービームを照射してその活性化を図
る工程と、

薄膜半導体装置が形成されない側の多結晶シリ
コン膜を除去する工程とからなることを特徴とす
る半導体装置の製造方法。

(2) 透明絶縁性基板上に、多結晶シリコン膜を能
動層とする多数の薄膜半導体装置を隣接配置する
と共に、この薄膜半導体装置のソース/ドレイン
領域およびゲート電極内にドーブされた不純物に
エネルギービームを照射してその活性化を図る液晶
表示装置用の半導体装置の製造方法において、

透明絶縁性基板の両面に多結晶シリコン膜を形
成する工程と、

薄膜半導体装置が形成される側の多結晶シリ
コン膜を島切りして、多数の島状多結晶シリコン膜
を形成する工程と、

該島状多結晶シリコン膜を能動層とする薄膜半

導体装置を形成する工程と、

前記薄膜半導体装置のソース/ドレイン領域およびゲート電極に不純物をドーピングすると共に、該不純物にエネルギービームを照射してその活性化を図る工程とを有し、

さらに、前記多結晶シリコン膜が形成される工程と、エネルギービームを照射する工程との間に、薄膜半導体装置が形成されない側の多結晶シリコン膜を除去する工程を有することを特徴とする半導体装置の製造方法。

(3) 透明絶縁性基板上に、多結晶シリコン膜を能動層とする多数の薄膜半導体装置を隣接配置すると共に、この薄膜半導体装置のソース/ドレイン領域およびゲート電極内にドーピングされた不純物にエネルギービームを照射してその活性化を図ることによって製造される液晶表示装置用の半導体装置において、

前記透明絶縁性基板のエネルギービームに対する吸収係数 ϵ は、以下に示す関係式において 2 cm^{-1} ないし 30 cm^{-1} であることを特徴とする半導体

が形成されない側に、エネルギービームに対する吸収係数が低く、熱絶縁性を有する下地膜が形成されていることを特徴とする半導体装置。

(8) 前記下地膜は、二酸化シリコンまたは窒化シリコンであることを特徴とする特許請求の範囲第5項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置およびその製造方法に係り、特にアクティブマトリックス方式の液晶表示装置に好適な半導体装置およびその製造方法に関する。(従来の技術)

アクティブマトリックス方式の液晶ディスプレイは、近年、周辺回路を内蔵しながら、高画質化と大画面化の方向に急速に進んでいる。

この方式の液晶ディスプレイでは、1つの画素に対して1つの薄膜トランジスタ(以下、TFTと略する)が対応するように、ガラス基板のような透明絶縁性基板上にTFTがマトリックス状に形成される。

装置。

$$I = I_0 \times \exp(-\epsilon x)$$

ただし、 I_0 : ガラス基板に入射する紫外光強度

I : 入射光がガラス基板を通過した後の光強度

x : ガラス基板の厚さ (cm)

(4) 前記エネルギービームは、波長 308 nm のXeClエキシマレーザであることを特徴とする特許請求の範囲第3項記載の半導体装置。

(5) 透明絶縁性基板上に、多結晶シリコン膜を能動層とする多数の薄膜半導体装置を隣接配置すると共に、この薄膜半導体装置のソース/ドレイン領域およびゲート電極内にドーピングされた不純物にエネルギービームを照射してその活性化を図ることによって製造される液晶表示装置用の半導体装置において、

透明絶縁性基板の、少なくとも薄膜半導体装置

TFTの能動層として機能する部分には、プラズマCVDによって形成されるアモルファスシリコン、または減圧CVD(LPCVD)法によって形成される多結晶シリコンが用いられるが、液晶ディスプレイ用のTFTには大きなキャリア移動度と低リーク電流が要求されるために、多結晶シリコン(poly-Si)が用いられることが多い。

以下、従来技術におけるTFTの製造方法について説明する。

LPCVD法によって形成される多結晶シリコン膜は、 600°C 以下の温度では膜の結晶性が十分でないために、加熱処理を施すことによって結晶性を向上させる工程が必要となる。ところが、更温度の低いガラス基板の場合、その重点(約 800°C)によって処理温度が制限されて十分な結晶性が得られないので、近年においては、シリコン膜の表面で吸収されるレーザビームを照射して表面層のみを融解し、再結晶化時に結晶性を向上させる方法が実施されている。

このようにして能動層となる多結晶シリコンが

形成されると、ホット・エッチング工程においてTFT形成のための島切りを行い、さらにゲート絶縁膜、ゲート電極が形成される。続いて、前記多結晶シリコン中のソース/ドレイン領域となる部分、および前記ゲート電極に不純物をドーピングする。

ここで、この不純物を活性化するために加熱処理を施すが、この場合においても、前記同様、800℃以上の温度で加熱処理を行うことができないので、レーザー光を照射して不純物の活性化を行う。

(発明が解決しようとする課題)

一般的に、プラズマCVDによるアモルファスシリコン形成においては、ガラス基板が平面的に設置されるために、アモルファスシリコン膜はガラス基板の一面表面のみに形成されるが、LPCVD法による多結晶シリコン膜形成においては、多数のガラス基板が、垂直に平行して設置されるために、多結晶シリコン膜はガラス基板の両面に形成されてしまう。

まう。

本発明の目的は、上記した問題点を解決し、ガラス基板に凹凸が発生することを防止した半導体装置を実現するとともに、本発明による半導体装置を液晶表示装置用のアクティブマトリックス基板として用いれば、画面上に白濁を生じさせない高画質の表示装置を実現できる半導体装置およびその製造方法を提供することにある。

(課題を解決するための手段)

上記した問題点を解決するために、本発明は透明絶縁性基板の表面に多数のTFTを隣接配置してなる薄膜半導体装置において、下記の(1)～(3)に示した手段のいずれか、あるいはこれらの手段を適宜に組み合わせて講じた点に特徴がある。

(1) 透明絶縁性基板として、ソース/ドレイン領域内の不純物を活性化するために照射されるエネルギービームに対する吸収係数が高い基板を用いる。

(2) ガラス基板の、エネルギービームが照射される面の少なくとも裏面に、TFTの絶縁層となる多結晶シリコンを形成する前に、エネルギービームに

このように、ガラス基板の両面に多結晶シリコン膜が形成された状態では、その一方の面の多結晶シリコン膜をホット・エッチング工程で島切りして多数のTFTをマトリックス状に配列し、そのソース/ドレイン領域の活性化を行う際に、レーザービーム等のエネルギービームを照射すると、多結晶シリコンが島状に残っている領域、すなわちTFT形成領域においてはエネルギービームが吸収されるが、それ以外の領域においてはエネルギービームがガラス基板を通過してしまう。

ガラス基板を通過したエネルギービームは、まだ大きな光強度を有しているために、ガラス基板の裏面に被着された前記多結晶シリコンを加熱し、その温度はガラス基板の歪温度を大幅に超えてしまう場合がある。

多結晶シリコンの温度がガラス基板の歪温度を超えてしまうと、該多結晶シリコンに接するガラス基板もその歪温度を超えてしまい、その部分のガラス基板には凹凸が発生し、これが最終的には、液晶表示装置の画面上での白濁の原因となってしまう。

対する吸収係数が小さく、かつ熱絶縁性が高い、たとえばSiO₂膜を予め堆積させておく。

(3) ガラス基板の、エネルギービームが照射される面の裏面のシリコン膜を、エネルギービームを照射する前に予め除去しておく。

(作用)

前記(1)の手段は以下のように作用する。すなわち、透明絶縁性基板として、照射されるエネルギービームに対する吸収係数が高い基板を用いると、エネルギービームはガラス基板の厚み方向において徐々に吸収されて減衰し、裏面のシリコン膜に達するときのエネルギー強度は、初めのエネルギービームの強度の50～80%になる。したがって、裏面のシリコン膜の温度上昇が抑えられる。

前記(2)の手段は以下のように作用する。すなわち、エネルギービームが照射される面の裏面に、該エネルギービームに対する吸収係数が小さく、かつ熱絶縁性が高い下地膜を形成しておく、表面に照射されたエネルギービームが基板および該下地膜を通過した後に、裏面のシリコン膜に達し、該

シリコン膜が加熱されても、その熱の基板への伝導が下地膜によって遮られるために、ガラス基板の温度上昇が抑えられる。

前記(3)の手段は以下のように作用する。すなわち、エネルギービームが照射される面の裏面のシリコン膜を予め除去しておけば、基板を通過したエネルギービームは、薄膜半導体装置内のいずれの部分においても吸収されずに外部に放出される。したがって、基板が加熱されることがなく、その温度上昇が抑えられる。

(実施例)

以下、本発明の一実施例を説明する。第1図は第1の発明の一実施例である半導体装置およびその製造方法を説明するための断面図である。

同図において、ガラス基板1-1は、波長308nmの紫外光に対する吸収係数 α が 3 cm^{-1} 、厚さが1mmの基板である。なお、この場合の吸収係数 α は、ガラス基板に入射する紫外光強度を I_0 、該入射光がガラス基板を通過した後の光強度を I 、基板の厚み(cm)を x とした場合に、

$I = I_0 \times \exp(-\alpha x)$ として定義されるものとする。

本実施例においては、初めに、前記ガラス基板1-1の表面に常圧CVD(APCVD)法によって、下地膜となる SiO_2 膜2-1を約4000Åの厚さで堆積させる【同図(a)】。

次に、LPCVD法によって580℃の温度で、TFTの能動層として機能する多結晶シリコン膜3-1を SiO_2 膜2-1の表面に堆積させる。このとき、前記したように、LPCVD法ではガラス基板1-1の裏面にもシリコン膜3-2が同様に堆積されてしまう。

次に、シリコン膜3-1の表面にAPCVD法によってキャップ膜である SiO_2 膜2-0を約2000Å堆積させ、その後、XeClエキシマレーザ11(波長308nm)を、300mJ/cm²の強度で全面に照射して、前記多結晶シリコン膜3-1を結晶化して結晶性の優れた多結晶シリコン膜を得る【同図(b)】。

次に、キャップ膜を除去した後に多結晶シリコン膜3-1をホット・エッチング工程で島切りすることによって、島状の多結晶シリコン膜2-1がガラス基板1-1上にマトリックス状に配列されるようにする。

次に、その表面にゲート絶縁膜用の SiO_2 膜7をAPCVD法によって約2000Å堆積させ、さらに、ゲート電極用のシリコン膜8をLPCVD法によって約3000Å堆積させる。

次に、前記ゲート絶縁膜用の SiO_2 膜7およびゲート電極用のシリコン膜8をホット・エッチング工程によってパターンニングした後に、前記島状の多結晶シリコン膜2-1のうち、TFTのソース/ドレイン領域となる部分4、5、およびゲート電極8に、たとえばイオン打込み法によって、リンイオン12を30KeVのエネルギーで 5×10^{15} 打込む【同図(c)】。

さらに、APCVD法によってパッシベーション膜となる SiO_2 膜9を約2000Å堆積させた後に、XeClエキシマレーザ11を

250mJ/cm²の強度で照射して、前記不純物を活性化する【同図(d)】。

このようにして、ソース/ドレイン領域となる部分の活性化が終了したならば、パッシベーション膜9に、ソース/ドレイン領域のコンタクト用孔を開孔した後に電極用アルミをスパッタし、電極10-1、10-2を形成する。

続いて、TFTを駆動するための引き出し線となる透明電極ITO(図示せず)をスパッタによって形成した後に、多結晶シリコン膜3-2をエッチングによって除去する【同図(e)】。この多結晶シリコン膜3-2の除去は、これ以前の工程で行っても良いが、この多結晶シリコン膜3-2はガラス基板1-1の保護膜としても機能するので、最終工程において除去することが望ましい。

その後は、偏光板、カラーフィルタおよび透明電極を積層したガラス基板を用意し、2枚のガラス基板の間にTN液晶を封入して液晶表示装置が完成する。

第4図(f)は、前記第1図(d)に関して説明し

たXeClエキシマレーザ11を照射した場合の、ガラス基板1-1の表面から厚み方向への距離Xとレーザ光強度Iとの関係、および距離Xと温度Tとの関係を示した図であり、第1図と同一の符号が同一または同等部分を表している。

同図から明らかなように、ガラス基板内に到達したレーザ光の強度Iは、表面から厚み方向への距離Xにしたがって減衰される。したがって、ガラス基板1-1を通過したレーザ光がシリコン膜3-2に吸収されても、そのエネルギーが小さいためにシリコン膜3-2はそれ程加熱されない。

本実施例の場合、ガラス基板の吸収係数が従来技術に比べて大きいので、レーザ光の直接的な照射によるガラス基板全体の温度上昇は従来技術に比べて多少大きくなり、発明者が行った実験においては約300℃まで上昇したが、シリコン膜3-2に到達するレーザ光強度が小さいために、該シリコン膜3-2はガラス基板1-1の歪温度Tcよりも十分に低い温度までしか加熱されず、ガラス基板1-1に損傷を与えるには至らない。

合と同様である。

第4図(2)は、第2図(d)においてXeClエキシマレーザ11を照射した場合の、ガラス基板1-2の表面から厚み方向への距離Xとレーザ光強度Iとの関係、および距離Xと温度Tとの関係を示した図である。

同図から明らかなように、本実施例においても、ガラス基板内に到達したレーザ光の強度Iは、表面から厚み方向への距離Xにしたがって減衰されるが、ガラス基板1-2の吸収係数が小さいために、第1図に示した実施例の場合程は減衰されず、ガラス基板1-2を通過したレーザ光がシリコン膜3-2に吸収されると、吸収されるエネルギーが大きいためにシリコン膜3-2はガラス基板1-2の歪温度Tcを超える程に加熱される。

しかし、本実施例の場合、ガラス基板1-2とシリコン膜3-2との間に、熱的に絶物として機能するSiO₂膜2-2が形成されているために、該シリコン膜3-2の熱がガラス基板1-2に伝わらない。したがって、ガラス基板1-2が

第2図は、第2の発明の一実施例である半導体装置およびその製造方法を説明するための断面図である。

本実施例ではガラス基板1-2は波長308nmの紫外光に対する吸収係数が小さい、従来技術と同様のガラス基板である。

本実施例においては、初めに、前記ガラス基板1-2の両面にAPCVD法によって、下地膜となるSiO₂膜2-1、2-2を約4000Åの厚さで堆積させる点に特徴がある〔同図(a)〕。

その後は、前記第1図に示した実施例の場合と同様の製造方法によって第2図(e)に示すようなTFTが完成する。

本実施例においては、前記第1図に示した実施例の場合と同様に、同図(d)に示した工程においてXeClエキシマレーザを照射して、ソース/ドレイン領域となる部分4、5、およびゲート電極8内の不純物を活性化する。

なお、該レーザ光照射の後に、電極10-1、10-2等を形成する方法は、前記第1発明の場

損傷を受けることがない。

第3図は、第3の発明の一実施例である半導体装置の製造方法を説明するための断面図である。

本実施例では、前記第2発明の場合と同様に、ガラス基板1-2は波長308nmの紫外光に対する吸収係数が小さい、従来技術と同様の基板である。

本実施例においては、APCVD法によってパッシベーション膜となるSiO₂膜9を堆積する工程までは前記第1図に関して説明した実施例と同一であるが、その後は、ガラス基板1-2の裏面に堆積されているシリコン膜3-2を除去した後に、ソース/ドレイン領域4、5およびゲート電極8内の不純物を活性化するためのXeClエキシマレーザを照射するようにした点に特徴がある。

その後は、前記第1図に示した実施例の場合と同様の製造方法によって第3図(e)に示すようなTFTが完成する。

第4図(3)は、第3図(d)においてXeCl

エキシマレーザを照射した場合の、ガラス基板1-2の表面から厚み方向への距離Xとレーザ光強度Iとの関係、および距離Xと温度Tとの関係を示した図である。

図面から明らかなように、本実施例においては、ガラス基板1-2内に到達したレーザ光の強度Iは、表面から厚み方向への距離Xにしたがって減衰され、その後、基板を通過したエネルギーは、半導体装置内のいずれの部分においても吸収されずに外部に放出されるために、ガラス基板1-2は加熱されることがなく、損傷を受けることはない。

なお、本実施例においては、XeClエキシマレーザを照射する直前にシリコン膜3-2を除去するものとして説明したが、本発明はこれのみに限定されるものではなく、前記多結晶シリコン膜3-1、3-2を形成した後であり、かつレーザ光を照射する前であれば、いずれの工程で除去するようにしても良い。

このように、前記第1ないし第3の発明によれ

活性化するためのレーザ光の強度は、ガラス基板1-1によって減衰され、さらには、該減衰されたレーザ光によって加熱されたシリコン膜3-2の熱は、下地膜2-2によって絶縁されるので、前記第1、2図に関して説明した実施例の場合よりも、さらにガラス基板の温度上昇を抑えることができる。

また、上記した実施例においては、ガラス基板の、TFTが形成されない側の下地膜2-2を二酸化シリコン膜であるものとして説明したが、エネルギーに対する吸収係数が低く、熱絶縁性を有するものであれば、たとえば窒化シリコンのようなものであってもかまわない。ただし、前記第2図に関して説明したように、液晶表示装置用の半導体装置として用いる場合にも取り除かないのであれば、透明性も要求される。

(発明の効果)

上記したように、本発明によれば、TFTのソース/ドレイン領域およびゲート電極を活性化するためのレーザ光照射によってガラス基板の凹凸

ば、TFTのソース/ドレイン領域およびゲート電極を活性化するためのレーザ光照射によってガラス基板に凹凸が発生することを防止できるので、画面に白濁を生じさせない高画質の液晶表示装置を提供することができるようになる。

なお、上記した実施例においては、(1) ガラス基板として、ソース/ドレイン領域内の不純物を活性化するために照射されるエネルギーに対する吸収係数が高い基板を用いること、(2) ガラス基板の、エネルギーが照射される面の少なくとも裏面に、エネルギーに対する吸収係数が小さく、かつ熱絶縁性が高いSiO₂膜を予め堆積させておくこと、(3) ガラス基板の、エネルギーが照射される面の裏面のシリコン膜を、エネルギーを照射する前に予め除去しておくこと、のいずれかの手段を単独で用いる場合の実施例に関して説明したが、これらの技術手段を適宜に組み合わせても良い。

たとえば、前記(1) および(2)の技術手段を組み合わせると半導体装置を製造すれば、不純物を

が発生することを防止できる。したがって本発明による半導体装置を液晶表示装置用のアクティブマトリックス基板として用いれば、画面に白濁を生じさせない高画質の表示装置を提供することができるようになる。

4. 図面の簡単な説明

第1図は第1の発明の一実施例である半導体装置の断面図である。

第2図は第2の発明の一実施例である半導体装置の断面図である。

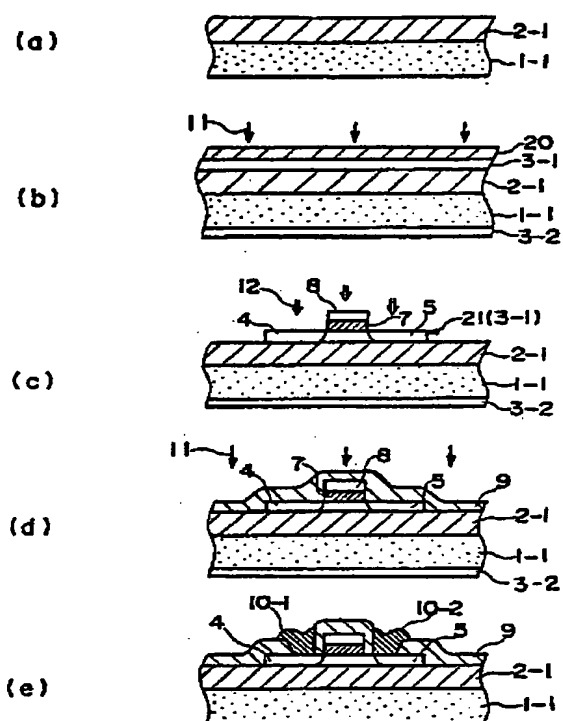
第3図は第3の発明の一実施例である半導体装置の断面図である。

第4図は第1ないし第3発明における基板の温度上昇を説明するための図である。

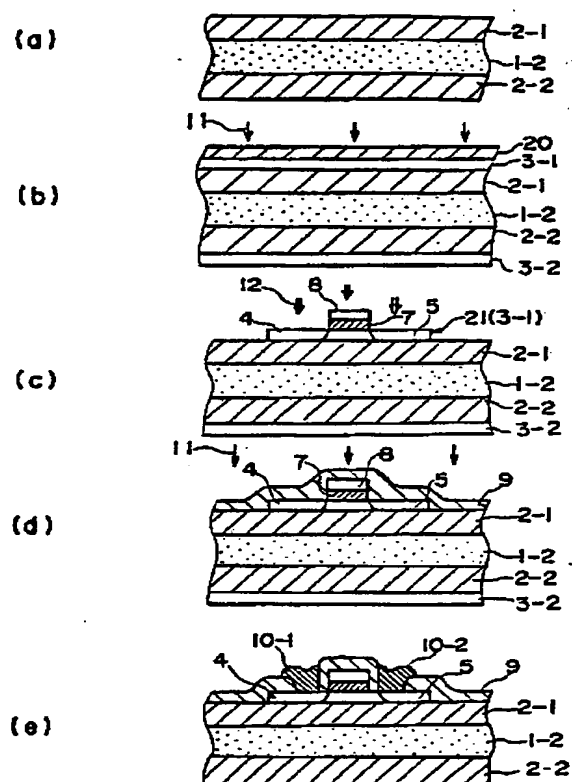
1-1、1-2…ガラス基板、2-1、2-2…下地膜、3-1、3-2…多結晶シリコン、4、5…ソース/ドレイン領域、7…ゲート絶縁膜、8…ゲート電極

代理人弁理士 平木通人

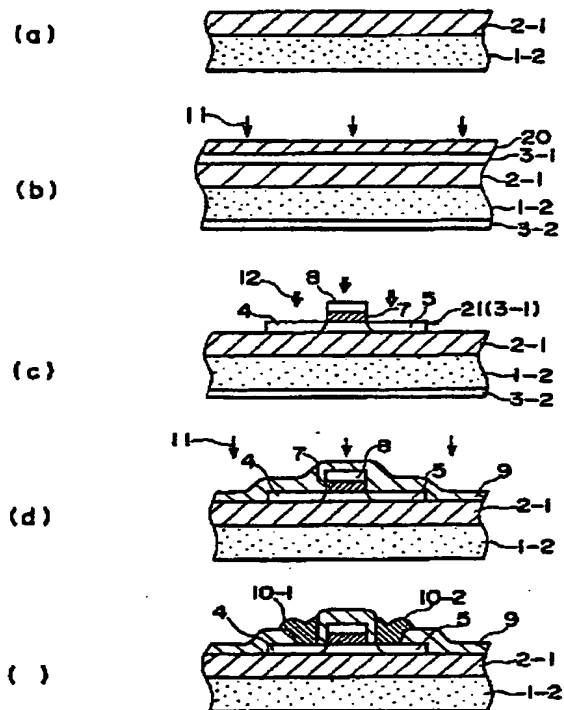
第 1 図



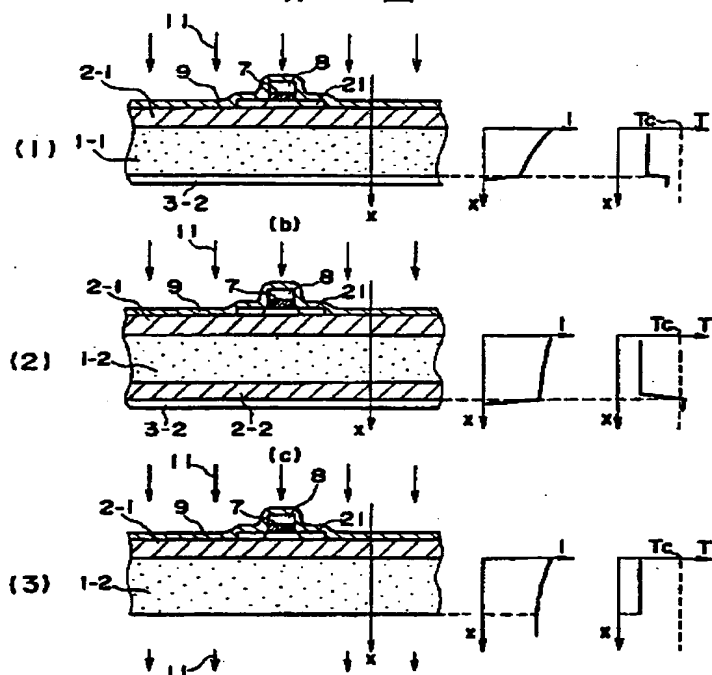
第 2 図



第 3 図



第 4 図



第1頁の続き

⑤Int. Cl.⁹

H 01 L 21/263
29/784

識別記号

庁内整理番号

②発 明 者 小 西 信 武 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内